

<0RR. U>5-223,737

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-48007

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.<sup>5</sup>

H01L 27/04  
23/522  
23/556  
23/60

識別記号

庁内整理番号

H 8427-4M

FI

技術表示箇所

7210-4M

H01L 27/06

101 P

審査請求 未請求 請求項の数9(全7頁) 最終頁に続く

(21)出願番号 特願平3-355883

(22)出願日 平成3年(1991)12月21日

(31)優先権主張番号 90830611.1

(32)優先日 1990年12月21日

(33)優先権主張国 イタリア(IT)

(71)出願人 591011409

エツセチエツセートムソン マイクロエレ  
クトロニクスエツセ・エツレ・エツレ  
SGS-THOMSON MICROEL  
ECTRONICS SOCIETA A  
RESPONSABILITA LIM  
ITATA

イタリア国 アグラテ・ブリアンツァ  
20041 ビイア・チ・オリベツティ 2

(72)発明者 アトス・カンクリーニ

イタリア国 コモ 22100 サリタ・デ  
イ・カプチャーニ 5/ビ

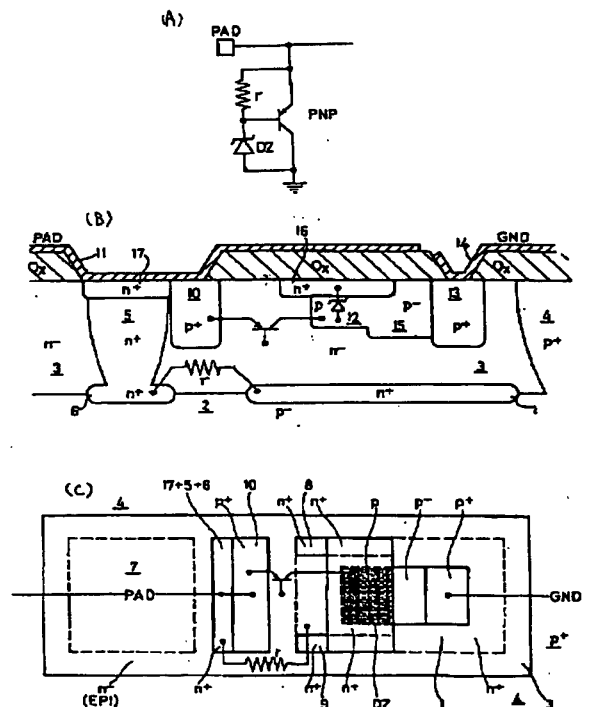
(74)代理人 弁理士 森 浩之

(54)【発明の名称】 集積回路パッド用静電的放電保護デバイス及び関連する集積構造

(57)【要約】

【目的】 従来の保護回路と異なり、放電電流に対する十分な耐性を有しかつ該放電電流を吸収して素子を保護できる回路を提供する。

【構成】 パッドに接続されたエミッタ、接地されたコレクタ及び抵抗を通して前記パッドに接続されたベース、及びそのベースとコレクタ間に機能的に接続された集積ツェナーダイオードを有する横方向の集積トランジスタを含んで成る集積回路の外部電気接続パッドを過電圧から保護する回路。



1

## 【特許請求の範囲】

【請求項1】 単結晶半導体基板上に形成された $n$ タイプの導電性エピタキシャル層中に集積された回路の外部電気接続パッドを過電圧から保護するための回路において、前記パッドに接続されたエミッタ、接地されたコレクタ及び抵抗を通して前記パッドに接続されたベース、及びそのベースとコレクタ間に機能的に接続された集積ツェナーダイオードを有する横方向の集積トランジスタを含んで成ることを特徴とする保護回路。

【請求項2】 単結晶半導体上に形成された $n^+$ タイプの導電性エピタキシャル層中に集積された回路の外部電気接続パッドを過電圧から保護するための集積構造において、

前記パッドのエリアの投影部からある距離離れた前記 $n^+$ タイプのエピタキシャル層及び半導体結晶基板とのインターフェイスの第1エリア中に形成された $n^+$ タイプ埋設層、

前記パッド及び前記埋設層のそれぞれのエリア間の分離距離の中間ゾーン中に形成された第1の $n^+$ タイプの深い拡散領域、

前記パッドに向かうサイドに対して実質的に直角な前記埋設層のサイドに沿って形成され、かつ埋設層とエピタキシャル層の表面間に広がる少なくとも1個の第2の $n^+$ タイプのエピタキシャル層、

横方向のPNPトランジスタのエリア領域を構成し、前記埋設層に向かう前記第1の $n^+$ タイプの深い拡散領域のサイドに沿って該深い拡散領域に隣接して形成され、かつ該第1の $n^+$ タイプの深い拡散領域とともに前記パッドの金属化層に電気的に接触している第1の $p^+$ タイプの導電性の拡散領域、

そのベース領域が前記第1の $p^+$ タイプの導電性の拡散領域から機能的に分離されている前記エピタキシャル層により構成されている前記PNPトランジスタのコレクタ領域を構成している少なくとも1個の第2の $p$ タイプの導電性の拡散領域、

前記第2の $p$ タイプ領域の端部に機能的に形成されかつ接地金属化層に接触している少なくとも1個の第3のコレクタ接触 $p^+$ タイプの導電性の拡散領域、

前記埋設層の周縁と前記第1の $n^+$ タイプの深い拡散領域との間の前記エピタキシャル層中の分離ゾーンにより構成される抵抗路を含んで成り、前記第2の $p$ タイプの導電性拡散領域の表面部分に導電性のタイプを反転することにより形成されかつ前記第2の $n^+$ タイプの深い拡散領域中に横方向に広がって該第2の $n^+$ タイプの深い拡散領域を通り更に前記埋設層を通りかつ前記第1の $n^+$ タイプの深い拡散領域を通して前記パッドの前記金属化層との電気的接続路を確立するようにした少なくとも1個の $n^+$ タイプの導電性の表面拡散領域を含んで成り、

前記 $n^+$ タイプの導電性の表面拡散領域と前記第2の $p$

2

タイプの導電性の拡散領域間の接合が前記横方向のPNPトランジスタのコレクタとベース間に接続されたツェナーダイオードを構成していることを特徴とする前記パッドを過電圧から保護する回路。

【請求項3】 他の $p^-$ タイプの導電性の拡散領域が、前記第2の $p$ タイプの導電性の拡散領域と前記第3の $p^+$ タイプの導電性の拡散領域間に存在し、かつ少なくとも一部が前記 $n^+$ タイプの導電性の表面拡散領域と重なり、前記パッドの金属化層が前記ツェナー接合に重なるエリアの絶縁層上に広がり、ツェナー接合のブレイクダウンを禁止するための電界プレートを形成する請求項2に記載の集積構造。

【請求項4】 前記 $n^+$ タイプ表面拡散層及び前記 $n^+$ タイプ埋設層の電気的接触路が、それに沿って前記第2の $n^+$ タイプの導電性の深い拡散領域が形成されているサイドとは反対の埋設層のサイドに沿って形成されている第3の $n^+$ タイプの導電性の深い拡散領域を含んで成る請求項2に記載の集積構造。

【請求項5】 第2の $n^+$ タイプの導電性の表面拡散領域が前記第1の $n^+$ タイプの深い拡散領域の表面部分に形成され、かつ前記第1の $p^+$ タイプの導電性の拡散領域とともに前記パッドの前記金属化層に接触している請求項2に記載の集積構造。

【請求項6】 単結晶半導体上に形成された $p^-$ タイプ導電性エピタキシャル層中に集積された回路の外部電気接続パッドを過電圧から保護するための集積構造において、

前記 $p^-$ タイプエピタキシャル層及び前記パッドのエリアの投影部からある距離離れた半導体結晶基板とのインターフェイスの第1エリア中に形成された $p^+$ タイプ埋設層、

前記パッド及び前記埋設層のそれぞれのエリア間の分離距離の中間ゾーン中に形成された第1の $p^+$ タイプの深い拡散領域、

前記パッドに向かうサイドに対して実質的に直角な前記埋設層のサイドに沿って形成され、かつ埋設層とエピタキシャル層の表面間に広がる少なくとも1個の第2の $p^+$ タイプのエピタキシャル層、

横方向のNPNトランジスタのエリア領域を構成し、前記埋設層に向かう前記第1の $p^+$ タイプの深い拡散領域のサイドに沿って該深い拡散領域に隣接して形成され、かつ該第1の $p^+$ タイプの深い拡散領域とともに前記パッドの金属化層に電気的に接触している第1の $n^+$ タイプの導電性の拡散領域、

そのベース領域が前記第1の $n^+$ タイプの導電性の拡散領域から機能的に分離されている前記エピタキシャル層により構成されている前記NPNトランジスタのコレクタ領域を構成している少なくとも1個の第2の $n$ タイプの導電性の拡散領域、

前記第2の $n$ タイプ領域の端部に機能的に形成されかつ

接地金属化層に接触している少なくとも1個の第3のコレクタ接触 $n^+$ タイプの導電性の拡散領域、

前記埋設層の周縁と前記第1の $p^+$ タイプの深い拡散領域との間の前記エピタキシャル層中の分離ゾーンにより構成される抵抗路を含んで成り、前記第2の $n^+$ タイプの導電性拡散領域の表面部分に導電性のタイプを反転することにより形成されかつ前記第2の $p^+$ タイプの深い拡散領域中に横方向に広がって該第2の $p^+$ タイプの深い拡散領域を通り更に前記埋設層を通りかつ前記第1の $p^+$ タイプの深い拡散領域を通して前記パッドの前記金属化層との電気的接続路を確立するようにした少なくとも1個の $p^+$ タイプの導電性の表面拡散領域を含んで成り、

前記 $p^+$ タイプの導電性の表面拡散領域と前記第2の $n^+$ タイプの導電性の拡散領域間の接合が前記横方向のNPNトランジスタのコレクタとベース間に接続されたツェナーダイオードを構成していることを特徴とする前記パッドを過電圧から保護する回路。

【請求項7】 他の $n^+$ タイプの導電性の拡散領域が、前記第2の $p^+$ タイプの導電性の拡散領域と前記第3の $n^+$ タイプの導電性の拡散領域間に存在し、かつ少なくとも一部が前記 $p^+$ タイプの導電性の表面拡散領域と重なり、前記パッドの金属化層が前記ツェナー接合に重なるエリアの絶縁層上に広がり、ツェナー接合のブレイクダウンを禁止するための電界プレートを形成する請求項6に記載の集積構造。

【請求項8】 前記 $p^+$ タイプ表面拡散層及び前記 $p^+$ タイプ埋設層の電気的接触路が、それに沿って前記第2の $p^+$ タイプの導電性の深い拡散領域が形成されているサイドとは反対の埋設層のサイドに沿って形成されている第3の $p^+$ タイプの導電性の深い拡散領域を含んで成る請求項6に記載の集積構造。

【請求項9】 第2の $p^+$ タイプの導電性の表面拡散領域が前記第1の $p^+$ タイプの深い拡散領域の表面部分に形成され、かつ前記第1の $n^+$ タイプの導電性の拡散領域とともに前記パッドの前記金属化層に接触している請求項6に記載の集積構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、トライボロジー又は他の同等の効果により生ずる静電的放電から集積回路を保護するためのデバイスに関する。

【0002】

【従来技術】 集積回路の静電的放電に対する鋭敏性を評価するために最も多く使用されている定量的基準は、集積回路の接地ピンを接地したまま各ピンを好適な放電回路に接続することである。静電的放電(ESD)の特色は短時間に大電流が流れることである。最も多く使用されている放電モデルは、1.5 k $\Omega$ の抵抗に、次いでテストしているピンに接続された100 pFのコンデンサから

成るいわゆる「人体モデル(HBM)」である。チップ中の放電回路が1.5 k $\Omega$ より遙に小さいインピーダンスを有していると、電流は時間定数 $\tau=150$  nsで指数的に減少する。静電的放電は接合及びゲート酸化物に対して種々の効果を有している。接合の重要な因子は放電の間に消費されてその中に準断熱条件下で加熱を生じさせるエネルギーである。それから誘導される温度上昇は局所的には数百度になることがあり、その破壊が実際には生じないとしても適切な集積構造の電気的特性を変化させる欠陥の生成及び/又はドーパントの移動だけでなく、接合に近い金属化層の金属の溶融を生じさせることがある。

【0003】 ESD保護システムの本質的な素子は損傷を受けることなく全放電電流を導くことのできるデバイスである。放電の間にそれぞれの「パッド」により運する電圧は、それを越えると集積回路ダウストリーム

(保護された回路)の接合がブレイクダウンを受けてしまう最大限度を越えてはならない。多数のESD保護回路デバイスが知られ、これらの既知回路が図1A及びBから図6A及びBまでに纏められ、各図のペアのうち第1の図(A)は保護デバイスの回路ダイアグラムで第2の図(B)は対応する集積構造を示している。これらの既知の保護デバイスのそれぞれはいくつかの欠点を有している。図1A及びBの保護構造は直流サプライへの接続を必要とする。集積回路の機能上の理由から、サプライ電圧自身より大きい電圧にピンを導かなければならない場合は、この構造の使用は不可能である。正の放電に対する耐性は大部分保護された回路自身に依存し、つまり放電路はしばしば予測不能で危険である。

【0004】 図2A及びBに例示されたデバイスは浅くかつ強い $n^+$ 拡散層と比較的弱い $p$ 拡散層間のツェナー効果を利用する。放電条件下のブレイクダウンは接合の円筒部分に局所的に起こり、引続き浅い拡散部中での電流集中つまり接合自身の限定されたエリア(カーブしているゾーン)内での強い電流集中が起こる。これは、縦方向に成長する溶融アルミニウム「スパイク」による接合のホール形成を引起し、あるいは金属化層のアルミニウムの電熱移動効果(ツェナーザッピング)により水平方向のこの接合を浅くしてしまうことがある。実際にこのデバイスは放電電流吸収用として高度に適しているが、他方放電自身に対する貧弱な耐性しか有していない。いわゆるBCDプロセス(同じチップ上のバイポーラ、CMOS及びDMOS集積構造)では共通して使用される保護構造はベースコレクタダイオードD1である(図3A及びB)。このデバイスは図2A及びBのデバイスより耐性が大きいが比較的高いクランプ電圧(ベースコレクタブレイクダウン)を示し、一般に保護された回路の種々の接合が保護ダイオードが機能を始める前にブレイクダウンを受けやすくなる。

【0005】 図4A及びBのデバイスは電熱放電現象に

典型的な非常に大きな電流のみを供与するSCR構造を使用する。この保護構造の欠点は、BCD集積回路ではそれを通して放電電流自身に匹敵しあるいはそれより大きい強さの電流を機能的に流すことのできるサブライ電圧に接続されたピンが存在することがあることである。このようなピンの電圧スパイクはSCRの不可逆的トリガリング（ラッチング）を生じさせ、該構造はその電圧が結局非常に小さくなるとしてもトリガリングの比較的高いクランプ電圧を示し、従ってトリガリングのクランプ電圧より低い電圧におけるブレークダウンを生じさせ易い接合の保護の下での回路中での存在は保護回路の介入を阻害し、更にデバイスが負の放電に対して保護しない。

【0006】図5A及びBに示されたデバイスはNMOSTランジスタと共に機能する横方向のNPNトランジスタのトリガリングを利用し、ここでは接地されたゲートが電界プレートとして機能しブレークダウン電圧を減少させる。この解決法の欠点はアバランシェ領域中への熱いキャリアの注入に起因してゲート酸化物の劣化が生ずることであり、更にこれは負の放電に対して保護しない。図6A及びBに示されたデバイスは、この集積構造ではゲートが熱い酸化物層上に存在する金属化層により表されるため、ゲート電圧の上昇により生ずる反転チャンネルの形成を利用する。その欠点は、金属の下に酸化物の厚さに起因する高いクランプ電圧と、この構造が負の放電に対して保護しないことである。

【0007】

【発明の目的及び概要】従来技術のこのレベルに対し、本発明の目的は、ピン、つまり前述した従来技術の保護デバイスの問題点及び欠点を有しない集積回路の外部電気接続パッドを電熱的放電から保護するための回路及び関連する集積構造を提供することである。本質的に本発明の回路は、保護されている前記パッドに接続されたエミッタ、接地されたコレクタ及び抵抗を通して前記パッドに接続されたベース、及びそのベースとコレクタ間に機能的に接続された集積ツェナーダイオードを有する横方向の集積トランジスタを含んで成っている。

【0008】

【図面の説明】本発明の特徴及び利点は、引き続き本発明の好ましい態様の説明及び添付図面の参照により更に明らかになるであろう。図1A及びBから図6A及びBは、既述の通り、従来技術による回路及びそれぞれの保護集積構造を纏めたものである。図7Aは本発明の好ましい態様である保護デバイスの電氣的ダイアグラムであり、図7Bは図7Aに例示された電氣的ダイアグラムによる保護デバイスの集積構造を示す集積回路の部分断面図であり、図7Cは図7Bの集積構造の概略部分平面図である。

【0009】

【好ましい態様の説明】本発明の好ましい実施例が図7

A、B及びCに示され、ここでは単結晶半導体基板（一般にp-タイプの導電性を有する）上に形成されたn-タイプのエピタキシャル層中に集積された回路のパッドに対する本発明の保護デバイスの典型的な適用例が示されている。実際にこれは集積回路、特にいわゆるBCDタイプ集積回路（同じモノリシックな基板上に集積されたバイポーラ、CMOS及びDMOS構造を含む）を製造するために最も広く使用されている半導体基板のタイプを示している。当業者には周知であるように当然本発明の保護デバイスはそれぞれの回路ノード（及び電流の方向）の全ての導電性と極性を反転することによりp-タイプの導電性のエピタキシャル層に集積された回路にも具現できるものである。

【0010】図7A、B及びCを参照すると、パッドを保護するための回路デバイスは本質的に同じパッドに接続されたエミッタ、接地されたコレクタ及び抵抗 $r$ を通して同じパッドに接続されたベース、及びそのベースとコレクタ間に機能的に接続された集積ツェナーダイオードDZを有するPNPトランジスタを含んで成っている。集積保護構造の態様が図7B及びCに示されている。この構造は、前記パッドの投影部からある距離離れたエリア内にありp-タイプの導電性の半導体単結晶2とn-タイプの導電性のエピタキシャル層3の間のインターフェイスに形成されたn+タイプの埋設層1を含んでいる。保護構造の形成の全領域はp+タイプの導電性を有する深い分離拡散部4により都合良く分離されている。デバイスの表面上のパッドにより占有されるエリアの投影部と埋設層1の端部間の中間ゾーンに形成されたn+タイプの導電性を有する第1の深い拡散（シンカー）領域5は実質的にエピタキシャル層3の表面から同じエピタキシャル層と単結晶基板2との間のインターフェイスまで縦方向に広がっている。図7Bから判るように、第2のn+タイプの埋設層6を深い拡散部5の基部に形成するよう選択することができる。

【0011】同様のn+タイプの導電性の深い拡散（シンカー）領域を、パッド7の（投影）エリアに向かうサイドに対して実質的に直角である埋設層1の2個の相対する端部に沿って形成し、これらの2個のn+の深い拡散領域の水平断面のプロフィールが図7Cの概略平面図中にそれぞれ8及び9で示されている。埋設層1に向かうサイドに沿ったn+領域5に隣接して形成された第1のp-タイプの導電性の拡散領域10は、横方向のPNPトランジスタのエミッタ領域を構成し、領域5とともにパッドの金属化層11に接触している。横方向に分離されて横方向のPNPトランジスタのコレクタ領域を構成するpタイプの導電性の拡散領域12（例えばpボディ）が構成され、該トランジスタのベース領域はn-タイプのエピタキシャル層3で構成されている。コレクタ領域12は横方向にp+タイプの導電性のコレクタコンタクト領域13まで広がることができ、この領域は集積回路の接地

金属化層14に接触している。図示の例に示した通り、好ましくは第3の $p^-$ タイプの導電性の中間領域15をコレクタ領域12とコレクタコンタクト領域13間に後述する目的のために形成する。

【0012】拡散部12のそして可能なら領域15の少なくとも表面部分の導電性のタイプを反転させることにより形成され $n^+$ / $p$ ツェナー接合を形成する $n^+$ タイプの導電性の表面拡散領域16が横方向に広がり、2個の $n^+$ タイプのシンカー領域8及び9のそれぞれに重なる（そのプロフィールは図7Cの平面図に見ることができる。これにより導電路が、2個の $n^+$ タイプの深い拡散領域8及び9を通る同じ $n^+$ タイプ領域16、 $n^+$ タイプ埋設層1、領域5の基部の $n^+$ タイプ領域6、及びパッドの金属化層11間に形成され、この導電路は意図的に図7Aの回路の抵抗 $r$ を構成する埋設層を含まない $n^-$ 導電性エピタキシャル層中の抵抗部分を含んで成っている。図7Bに示す通り、類似の $n^+$ の表面拡散部を図中に符号17で示すように深い拡散領域5の上端に形成するように選択することもできる。

【0013】デバイスの機能は次の通りである。図中に例示されたパッドに接続された外部ピンを偶発的にヒットすることのある正の放電の間、注入された電流はエピタキシャルポケット3に接続されたキャパシティをチャージし、そのポテンシャルを増加させる。 $n^+$ タイプの浅い拡散部16がパッドに電気的に接続され、一方下に位置する $p$ タイプ拡散部（ $p$ ボディ）12は接地されている。パッド11の電圧はそれが領域16及び12間の $n^+$ / $p$ ボディ接合の平面ゾーンのブレイクダウン電圧に達したときにその増加を停止する。BCDタイププロセスのこのブレイクダウン電圧は比較的低い。ブレイクダウン電流は2個の $n^+$ タイプの深い拡散部（シンカー）8及び9（図7C）により集められ、次いで $n^+$ タイプ埋設層1を通して、埋設層が無く $p^+$ タイプの拡散部10の下に位置する高抵抗性の $n^-$ タイプ（ $epi$ ）のゾーンに送られる。この抵抗（ $r$ ）を横切る電圧低下は、領域10及びエピタキシャル層3間の $p^+$ / $n^-$ （ $epi$ ）接合の順方向バイアスを生じさせる。これによりエピタキシャル層3中に正孔（ホール）の注入が生じ、これらは次いで横方向のPNPトランジスタのコレクタ領域として機能する $p$ タイプ領域12により集められる。従って放電電流の大部分は横方向のPNPトランジスタにより大地へ運ばれる。領域16及び12間の接合により構成されるツェナーダイオードは横方向のPNPトランジスタのベース電流に領域10とエピタキシャル層3間の接合をバイアスするための電流のみを流す。ツェナー接合を通る電流密度の減少は本質的なものであり、この接合は電熱放電に非常に鋭敏な素子である。ツェナー接合のカーブしたゾーン中のブレイクダウン電流の濃度を更に減少させるために、図示の例のように、ステップを形成して $n^-$ ダイオード拡散部16の平滑なゾーンの下に位置する $p$ タイプ

領域12より弱い $p^-$ タイプ拡散領域（例えば $p$ ウェル）上に $n^+$ 拡散部16の端部を形成することができる。パッドに接続された金属化層11を広げて下に位置する $n^+$ / $p$ ツェナー接合を完全に保護するようにすることは更に好ましく、これにより（ $n^+$ / $p^-$ ）接合のカーブする部分中のブレイクダウンを更に禁止することを可能とする電界プレートが生成する。

【0014】パッド上の負の放電の間、コレクタ/基板接合つまり $n^+$ 拡散部と $n^+$ タイプの埋設層1は $p^-$ タイプの基板2に関して順方向にバイアスされ、これは一般に接地される。この放電電流はこの比較的広い順方向バイアス接合を通して大地へ向かう。図7A、B及びCに例示された保護構造は、50から100Vの間の電圧のBCD（バイポーラ-CMOS及びDMOS）タイプの集積回路用の典型的なプロセスの順に従って完全に集積されることができる。この順序は下記のように纏めることができる。

1.  $p$ タイプの基板。
2.  $n^+$ タイプの埋設層（アンチモンの拡散）。
3.  $n$ タイプのエピタキシャル成長（リン）。
4.  $p^+$ タイプ分離（トップ分離）（硼素のインプランテーション）
5.  $n^+$ シンカー（リンの深い拡散）
6.  $p$ ウェル（NMOSトランジスタのボディ領域のような最適の領域への硼素の弱いインプランテーション）
7.  $p^+$ （PNPのエミッタ及びコレクタコンタクト用として使用される硼素のより強いインプランテーション）
8.  $p$ ボディ（DMOS、NMOSボディ用に使用される硼素の中間ドーシングインプランテーション）
9.  $n^-$ （NMOSソース及びドレン領域用及びPNPコレクタ及びエミッタコンタクト用として使用される砒素の強い表面インプランテーション）

【0015】この放電保護用の新規な集積構造は、 $n^+$ / $p$ ボディツェナーの比較的低いクランプ電圧をPNPトランジスタの通電の固有の耐性と組み合わせる。更に $n^+$ / $p$ ボディツェナーを通る電流はそれが幾ら上昇してもいわゆるツェナー「ザッピング」現象を生じさせることができない。この現象は、 $n^+$ 拡散部と接触するアルミニウムの電熱的移動とそれに続いてツェナー接合に正孔を形成しそれを短絡させるまで行われる水平なアルミニウムチャンネルの形成から成る。本発明の構造では、 $n^+$ 領域上にはアルミニウムは存在せず従ってアルミニウムスパイクによる接合のホール形成の可能性を排除する。更にツェナーダイオードは接合のカーブしたゾーンでの電流の濃度を減少させるように構成される。

【図面の簡単な説明】

【図1】図1Aは従来のESD保護回路デバイスの第1の回路を例示するダイアグラムで、図1Bは図1Aに対応する集積構造である。

9

【図2】図2Aは従来のESD保護回路デバイスの第2の回路を例示するダイアグラムで、図2Bは図2Aに対応する集積構造である。

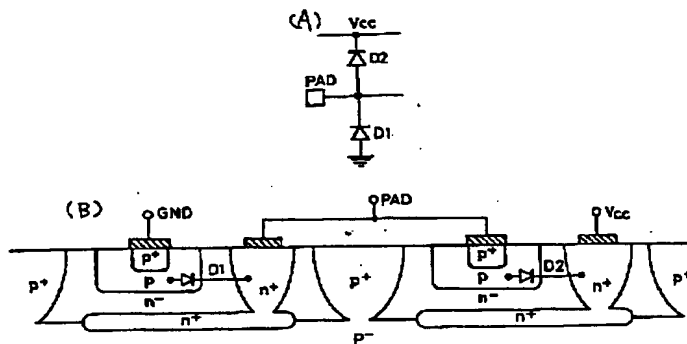
【図3】図3Aは従来のESD保護回路デバイスの第3の回路を例示するダイアグラムで、図3Bは図3Aに対応する集積構造である。

【図4】図4Aは従来のESD保護回路デバイスの第4の回路を例示するダイアグラムで、図4Bは図4Aに対応する集積構造である。

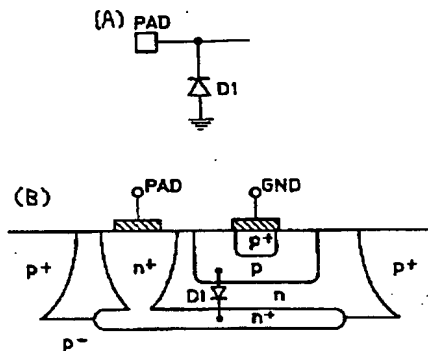
【図5】図5Aは従来のESD保護回路デバイスの第5の回路を例示するダイアグラムで、図5Bは図5Aに対応する集積構造である。

【図6】図6Aは従来のESD保護回路デバイスの第6の回路を例示するダイアグラムで、図6Bは図6Aに対応する集積構造である。

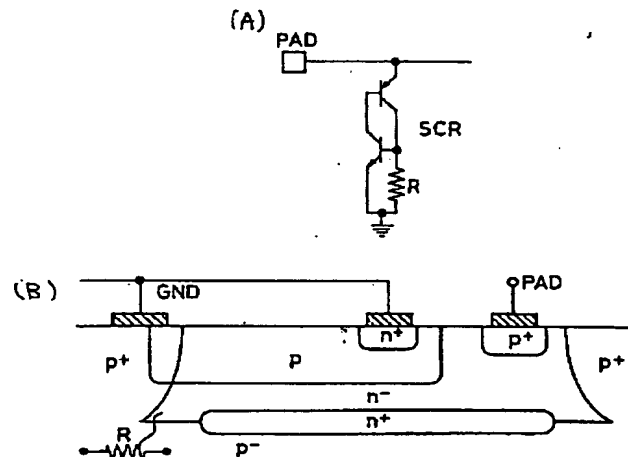
【図1】



【図3】



【図4】



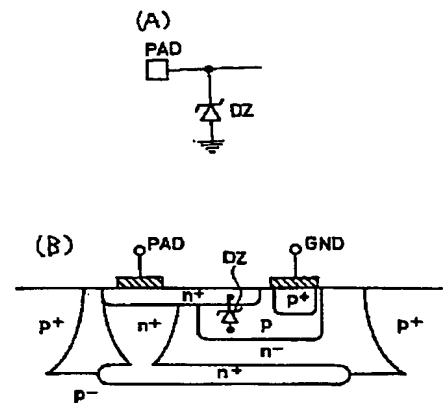
10

【図7】図7Aは本発明の好ましい態である保護デバイスの電氣的ダイアグラムであり、図7Bは図7Aに例示された電氣的ダイアグラムによる保護デバイスの集積構造を示す集積回路の部分断面図であり、図7Cは図7Bの集積構造の概略部分平面図である。

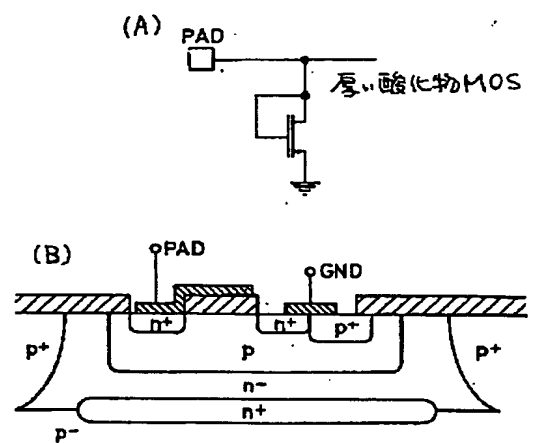
【符号の説明】

- 1...n+埋設層 2...基板 3...エピタキシャル層 4...分離拡散部 5...第1のn+シンカー領域 6...第2のn+タイプ埋設層 7...パッド 8、9...n+拡散領域 10...第1のp+拡散領域 11...金属化層 12...コレクタ領域 13...コレクタコンタクト領域 14...接地金属化層 15...中間領域 16...表面拡散領域 DZ...ツェナーダイオード r...抵抗

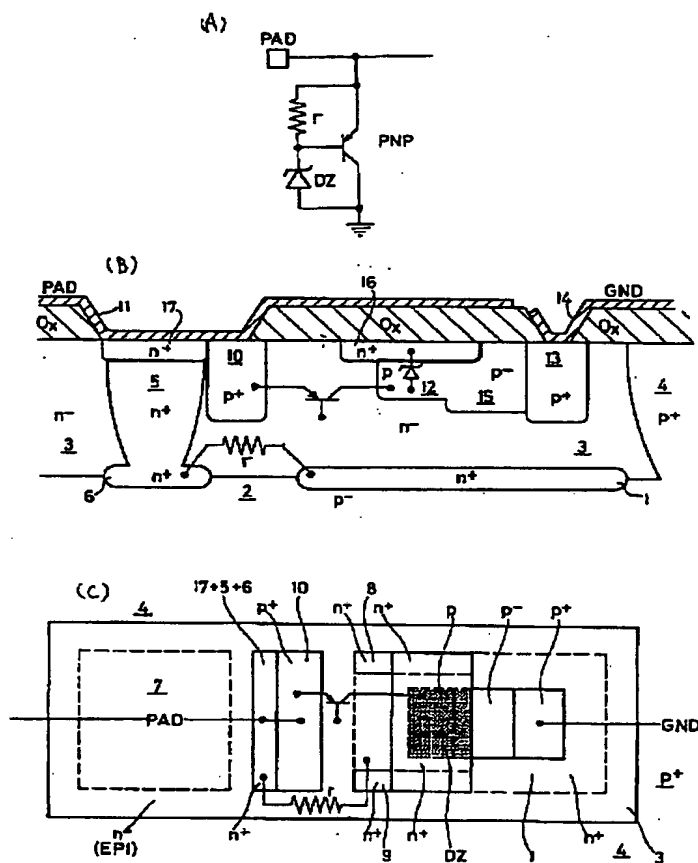
【図2】



【图6】



【圖 7】



### 技術表示箇所